

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Yuji ISHII, et al.**
Filed : **August 22, 2003**
For : **DIGITAL FILTER DEVICE**
Serial No. : **10/647,073**
Art Unit : **2631**
Confirmation No. : **9701**
Examiner :

Director of the U.S. Patent and
Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450

January 9, 2004

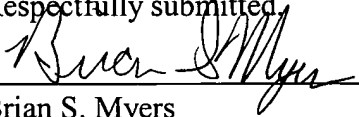
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby submits a certified copy of **JAPANESE** patent application no. 2002-241865 filed August 22, 2002, from which priority was claimed in a priority claim filed on August 22, 2003.

Any fee, due as a result of this paper may be charged to Deposit Acct. No. 50-1290.

Respectfully submitted,


Brian S. Myers
Reg. No. 46,947

CUSTOMER NO.: 026304
KATTEN MUCHIN ZAVIS ROSENMAN
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2585
DOCKET NO.: FUJZ 20.589 (100794-00475)
TELEPHONE: (212) 940-8800



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 2 2 日
Date of Application:

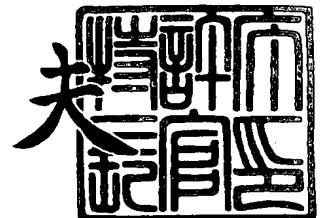
出 願 番 号 特 願 2 0 0 2 - 2 4 1 8 6 5
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 4 1 8 6 5]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 8 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0251722

【提出日】 平成14年 8月22日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 17/00

【発明の名称】 デジタルフィルタ装置

【請求項の数】 5

【発明者】

 【住所又は居所】 福岡県福岡市博多区博多駅前三丁目 2 2 番 8 号 富士通九州デジタル・テクノロジー株式会社内

 【氏名】 石井 祐二

【発明者】

 【住所又は居所】 福岡県福岡市博多区博多駅前三丁目 2 2 番 8 号 富士通九州デジタル・テクノロジー株式会社内

 【氏名】 力丸 健児

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 森 和行

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 栃尾 祐治

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100090011

【弁理士】

【氏名又は名称】 茂泉 修司

【手数料の表示】

【予納台帳番号】 023858

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704680

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタルフィルタ装置

【特許請求の範囲】

【請求項 1】

複数の入力データ列を生成する 1 つ又は複数の演算処理部と、
該複数の入力データ列を記憶する入力データメモリと、
該入力データメモリから該入力データ列を所定の順序で読み出しフィルタリングして出力データ列を生成するデジタルフィルタと、
を備えたことを特徴としたデジタルフィルタ装置。

【請求項 2】 請求項 1 において、

該デジタルフィルタが生成した該出力データ列を記憶する出力データメモリと、
該出力データメモリに記憶された該出力データ列を所定の順序で読み出して処理するデータ処理部をさらに備えたことを特徴とするデジタルフィルタ装置。

【請求項 3】 請求項 2 において、

該入力データ列が記憶された該入力データメモリのアドレスと、該出力データ列が記憶された出力データメモリのアドレスとを対応付けたスイッチテーブルと、
該スイッチテーブルに基づき該入力データ列を該入力データメモリから読み出し該デジタルフィルタを経由して該出力データ列として出力データメモリに書き込むタイミングを与えるスイッチング制御部と、
をさらに備えたことを特徴とするデジタルフィルタ装置。

【請求項 4】 請求項 1 において、

該デジタルフィルタに含まれる遅延回路における、第 1 の入力データ列のフィルタリングから次の第 2 の入力データ列のフィルタリングに移る前の該第 1 の入力データ列フィルタリングの計算途中データを記憶し、該第 1 の入力データ列の次のフィルタリング開始時に該計算途中データを該遅延回路に戻すフィルタメモリをさらに備えたことを特徴とするデジタルフィルタ装置。

【請求項 5】 請求項 1 において、

該デジタルフィルタの各入力データ列に対応したフィルタ係数を記憶する 1 つ又は複数の係数メモリを、さらに備え、

フィルタリングする入力データ列に対応したフィルタ係数が該デジタルフィルタに設定されることを特徴としたデジタルフィルタ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデジタルフィルタ装置に関し、特に、複数の信号のフィルタリングを 1 つのデジタルフィルタで行うデジタルフィルタ装置に関するものである。

【0002】

近年、デジタル信号処理技術の高度化に伴い、デジタルフィルタは、通信、制御等の工学分野全般に渡る必須の技術となっている。このデジタルフィルタにおいて、複数の信号（データ列）のフィルタリングを 1 つのデジタルフィルタで共通化して行うことも可能である。この場合、処理対象である信号の特性に対応したフィルタリングを行うことが必要となる。

【0003】

【従来の技術】

図 7 は、従来例(1)として、特開平11-220355号で開示された信号処理回路（デジタルフィルタ）90を示している。この信号処理回路90は、複数のデジタル信号（入力信号803、再入力信号805）を時分割多重化する信号時分割多重部91と、上記時分割多重されたサンプリング期間内で複数の種類のフィルタリングを共通化して行う多重化フィルタ部92とを備えている。

【0004】

さらに、信号処理回路90は、多重化フィルタ部92の出力信号807から所望の再入力信号805を、上記時分割多重化のタイミングで検出して一時的に保持し、次のフィルタリングに使用するために上記信号時分割多重部91に帰還する信号検出部93を備えている。この信号検出部93は、所望の最終的な出力信号808を出力する。

【0005】

さらに、信号処理回路90は、タイミング発生部94を備え、このタイミング発生部94はクロック804を入力して多重化フィルタ部92及び信号検出部93にタイミングパルス806を与えている。

すなわち、信号検出部93が入力信号803をフィルタリングした再入力信号805を信号時分割多重部91に戻すことにより、多重化フィルタ部92は、1 サンプリング期間内で入力信号803に対する複数種類のフィルタリングを共通化して行うことが可能である。

【0006】

図8は、従来例(2)として、特開昭63-141406号で開示されたデジタルフィルタ80を示している。このデジタルフィルタ80は、複数の入力データ列（同図では、2つの入力信号800_1, 800_2）を時分割して入力し、データ巾を分割数分の1に縮小して出力するラッチ回路81_1, 81_2と、このラッチ回路81_1, 81_2からのラッチ出力（同図では、3ステート出力）を前記縮小されたデータ巾に対応するサンプルクロックの時間巾だけ遅延させる遅延回路83_1～83_4とにより時分割多重化のフィルタ処理を行っている。

【0007】

すなわち、ラッチ回路81_1, 81_2にそれぞれラッチされた入力信号800_1, 800_2は、ワイヤードOR回路82を経由した入力信号801として交互に遅延回路83_1に入力され、以後、サンプルクロックの時間巾だけ順次遅延して、遅延回路83_2～83_4にシフトされて行く。

【0008】

従って、或るサンプルクロックのタイミングにおいて、ワイヤードOR回路82、遅延回路83_2, 83_4の出力信号は、それぞれ、例えば、入力信号800_1、入力信号800_1を2 サンプルクロックだけ遅延した信号、及び入力信号800_1を4 サンプルクロックだけ遅延した信号である。これらの信号を用いて演算器84_1, 84_2は、フィルタリング演算を行う。ラッチ回路85_1は、演算器84_2の演算結果802を記憶する。

【0009】

同様に、次のサンプルクロックのタイミングにおいて、入力信号800_2のフィルタリング演算が行われ、この演算結果をラッチ回路85_2が記憶する。

図8に示したデジタルフィルタ80を、マイクロマシン技術(MEMS: Micro Electro Mechanical System)光スイッチの制御に適用した従来例(3)を図9～図11を用いて以下に説明する。

【0 0 1 0】

図9は、一般的な64ch×64chMEMS光スイッチの構成例を示している。このMEMS光スイッチは、コリメータ141_1～141_64から成る入力側コリメータアレイ140と、ミラー131_1～131_64（以下、符号131で総称することがある。）から成る入力側ミラーアレイ130と、ミラー151_1～151_64（以下、符号151で総称することがある。）から成る出力側ミラーアレイ150と、コリメータ161_1～161_64から成る出力側コリメータアレイ160とで構成されている。

【0 0 1 1】

コリメータ141_1～141_64及びミラー131_1～131_64は、それぞれ入力チャンネルch1～ch64に対応しており、ミラー151_1～151_64及びコリメータ161_1～161_64は、それぞれ出力チャンネルch1～ch64に対応している。

図10は、一般的なMEMS光スイッチにおけるミラー制御電極の配置例を示しており、この例では、特に、入力側ミラー131_1及び出力側ミラー151_8の電極を示している。入力側ミラー131_1の電極は電極x1(-), x1(+), 及び電極y1(-), y1(+)で構成され、出力側ミラー151_8の電極は電極x2(-), x2(+), 及び電極y2(-), y2(+)で構成されている。

【0 0 1 2】

入力チャンネルch1の光信号を出力チャンネルch8にスイッチングする場合を以下に説明する。

入力チャンネルch1のコリメータ141_1からの光信号700aは、入力側ミラー131_1を照射している。入力ミラー131_1の電極x1(+)に電圧を印加し、静電効果によりミラー131_1を傾けて、ミラー131_1で反射した光信号700bを出力チャンネルch8のミラー151_8に照射する。

【0 0 1 3】

さらに、ミラー151_8の電極x2(+)に電圧を印加して、ミラー151_8で反射した光信号700cを出力チャネルch8のコリメータ161_8に照射する。このときコリメータ161_8に垂直に光信号700cを照射しなければ光損失が増大する。

入力チャネルch1の光信号を出力チャネルch64にスイッチングする場合、図9において、入力ミラー131_1の電極x1(+)及び電極y1(-)に電圧を印加し、ミラー131_1で反射した光信号700dを出力チャネルch64のミラー151_64に照射する。

【0 0 1 4】

さらに、ミラー151_64の電極x3(+), 電極y3(-) (図示せず) に電圧を印加して、ミラー151_64で反射した光信号700eを出力チャネルch64のコリメータ161_64に照射する。

このように、MEMS光スイッチは、ミラー角度を制御して光経路を切り替えるため、光信号を電気信号に変換する必要はなく、また、波長依存性、及び偏波依存性が無く、且つ小型である。このため、MEMS光スイッチは、波長分割多重(WDM: Wavelength Division Multiplex)ネットワークへの適用に優位なスイッチとして注目されている。

【0 0 1 5】

しかしながら、ミラー131, 151は、機械的特性に起因する共振等の過渡特性を有し、この過渡特性がMEMS光スイッチの切替時間の増大の要因になっている。

図11は、従来例(3)として、上記の切替時間を最小にするためにデジタルフィルタを用いたMEMS光スイッチ制御回路を示している。

【0 0 1 6】

この制御回路は、ミラー131, 151の角度を指定するオープン制御部と、この制御結果をフィードバックしてオープン制御部に戻すフィードバック制御部とで構成されている。

オープン制御部は、ミラー131, 151をそれぞれ制御するデジタルデータ(各チャネルch1~ch64に対応する4つのデータ、計256(=64×4)のデータ)を生成する演算処理部10z_1~10z_64(以下、符号10zで総称することがある。)と、このデータをラッチするラッチ回路81z_1~81z_64(以下、符号81zで総称することがある。)と、このラッチ回路81z_1~81z_64にラッチされたデータを時分割

で順次選択したデジタルフィルタ入力信号801zを出力するセクタ87zと、この入力信号801zを時分割でフィルタリングした出力信号802zを生成するデジタルフィルタ80zと、出力信号802zを時分割で順次ラッチするラッチ回路85z_1～85z_64を備えている。

【 0 0 1 7 】

デジタルフィルタ80zは、図 8 に示したデジタルフィルタ80と構成は異なるが、ラッチ回路81zにラッチされた256のデータ（チャネル数“64”×制御数“4”）に対応する遅延回路88_1～88_256、遅延回路89_1～89_256を備えており、基本的な動作は同じである。

【 0 0 1 8 】

すなわち、例えば、ラッチ回路81z_1にラッチされた4つのデータの内の1つは、加算器31_1で加算された後、クロックで順次遅延回路88_1～88_256、89_1～89_256にシフトされ、遅延回路88_256、89_256にシフトされたタイミングで、ラッチ回路81z_1のデータに対応するフィルタリングされたフィルタ出力信号802zが加算器31_3から出力され、ラッチ回路85z_1にラッチされる。

【 0 0 1 9 】

同様に、ラッチ回路81z_2～81z_64のデータをフィルタリングしたデータは、それぞれ、ラッチ回路85z_2～85z_64にラッチされる。

制御回路は、さらに、ラッチ回路85z_1～85z_64にラッチされたデータを、それぞれデジタル/アナログ変換するDA変換器50_1～50_64（以下、符号50で総称することがある。）と、変換されたアナログ出力信号708に基づきミラー131、151を駆動するドライバ110_1、…、110_64、111_1、…、111_64（以下、符号110、111で総称することがある。）を備えている。

【 0 0 2 0 】

動作において、演算処理部10zは、ミラー131、151を駆動するデータを演算する。このデータは、デジタルフィルタ80zで時分割でフィルタリングされる。このデジタルフィルタ80zは、ミラー131、151の動作時間、すなわち、光スイッチの切替時間が最小になるように設定されている。フィルタリングされたデータは、DA変換器50でDA変換された後ドライバ110、111に与えられる。ドライバ11

0, 111は、ミラー131, 151を駆動する。

【0 0 2 1】

フィードバック制御部は、それぞれ、出力側のチャネルch1～ch64の光信号700_1(ch1)～700_64(ch64)のレベルを検出する光レベル検出器170_1～170_64（以下、符号170で総称することがある。）と、検出された光レベルをアナログ/デジタル変換して演算処理部10z_1～10z_64に与えるAD変換器180_1～180_64とで構成されている。

【0 0 2 2】

動作において、光レベル検出器170でそれぞれ検出された出力チャネルch1～ch64の光レベル信号701は、アナログ/デジタル変換されたデジタル信号702(702_1～702_64)として演算処理部10zに与えられる。

すなわち、ミラー131, 151の動作結果が、演算処理部10zにフィードバックされる。演算処理部10zは、ミラーの機械的及び電氣的な誤差に起因する光信号700_1～700_64のずれを補正するように入力信号（ミラー制御データ）800_1～800_64を修正する。

【0 0 2 3】

【発明が解決しようとする課題】

上述した種々のデジタルフィルタに関しては、数百チャネルの入力データに対して、それぞれ、デジタルフィルタを設けた場合、必要なハードウェアは、非常に大きなものとなり、コスト、消費電力、及び実装面積的に不利である。

【0 0 2 4】

これは、入力データのビット幅が大きくなるに従って、フィルタに必要な乗算器、加算器、及び遅延回路の回路規模は増大するため、ますます不利になる。

さらに、1000チャネル以上の入力データに対してそれぞれデジタルフィルタを設けることは、不可能といえる。そこで、上述したデジタルフィルタを時分割多重により共通化することが必要になる。

【0 0 2 5】

しかしながら、図7に示した従来の信号処理回路（デジタルフィルタ）は、1サンプリング周期内で処理を完結する場合のフィルタリングに適しているが、

1 サンプリング周期内で処理が完結しないフィルタリングに適していない。

すなわち、信号処理回路の多重化フィルタ部92に含まれている遅延回路（図示せず。）には、1 サンプリング周期内で処理が完結しない場合、次のフィルタリングに必要なデータが残っていないため、フィルタリングした出力データ列の連続性が保てない。

【0 0 2 6】

また、図8に示したデジタルフィルタ、及び図11で用いたデジタルフィルタは、内部の各遅延回路及び入力側のラッチ回路が、それぞれ入力チャネル数だけ必要である。従って、この方式のデジタルフィルタは、例えば、1000チャネルのフィルタ処理を行うためには、回路が大規模に成り適さない。

【0 0 2 7】

また、この方式のデジタルフィルタは、遅延回路による単位時間遅延を時分割処理と同じタイミングで行う必要がある。従って、この方式のデジタルフィルタは、例えば、IPネットワークから収集したデータの様に周期性が変動する時分割されたデータや、時分割された複数チャネルの順序が入れ替わるようなデータのフィルタリングはできない。

【0 0 2 8】

さらに、この方式のデジタルフィルタは、各ミラーの特性が異なる場合、フィルタ係数を各ミラー毎に設定して、各ミラー毎に最適な応答特性にすることが出来ない。

従って本発明は、複数の信号のフィルタリングを1つのデジタルフィルタで行うデジタルフィルタ装置において、フィルタリングを行うチャネル（データ列）数の変更が設計上容易であること、複数のチャネルのフィルタリング順序が変更可能であること、フィルタリングの連続性を保つこと、又は各チャネルに対応したフィルタリング特性を変更可能にすることを課題とする。

【0 0 2 9】

【課題を解決するための手段】

上記の課題を解決するため、本発明のデジタルフィルタ装置は、複数の入力データ列を生成する1つ又は複数の演算処理部と、該複数の入力データ列を記憶

する入力データメモリと、該入力データメモリから該入力データ列を所定の順序で読み出しフィルタリングして出力データ列を生成するデジタルフィルタとを備えたことを特徴としている（請求項1、付記1）。

【0030】

すなわち、演算処理部は、複数の入力データ列を生成する。この複数の入力データ列は、1つの演算処理部のみで生成してもよいし、各演算処理部が、1つ又は複数の入力データ列を生成してもよい。

入力データメモリは、演算処理部が生成した複数の入力データ列を記憶する。デジタルフィルタは、入力データメモリに記憶された複数の入力データ列を所定の順序で読み出しフィルタリングした出力データ列を生成する。

【0031】

これにより、演算処理部が入力データ列を生成する動作タイミングと、デジタルフィルタが入力データ列をフィルタリングする動作タイミングとを、異ならせることが可能になる。

従って、各演算処理部の入力データ列生成時間と比較して、デジタルフィルタのフィルタリング時間が高速である場合、デジタルフィルタの1サンプリング周期内で多数の入力データ列のフィルタリングが可能になる。

【0032】

例えば、デジタルフィルタの1サンプリング周期内で複数の入力データ列を順次フィルタリングすること、入力データ列のフィルタリングの順序を変更すること、デジタルフィルタの或る1サンプリング周期内での或る入力データ列のフィルタリングをスキップすることや複数回行うことも可能である。

【0033】

また、演算処理部とデジタルフィルタとの間の動作タイミングを厳格に合わせる必要がなくなり、デジタルフィルタ装置の設計（タイミング設計、回路設計等）が容易になると共に、演算処理部の追加及び入力データ列（チャンネル）数の増減が容易になる。

【0034】

また、本発明は、該デジタルフィルタが生成した該出力データ列を記憶する

出力データメモリと、該出力データメモリに記憶された該出力データ列を所定の順序で読み出して処理するデータ処理部をさらに備えたことが可能である（請求項 2、付記 2）。

【0035】

すなわち、出力データメモリは、デジタルフィルタが生成した出力データ列を記憶する。データ処理部例えば DA 変換器は、出力データメモリから出力データ列を、所定の順序で読み出して、データ処理する。

これにより、デジタルフィルタが入力データ列をフィルタリングするタイミングと、データ処理部が出力データ列を処理するタイミングとを、異ならせることが可能になる。

【0036】

従って、データ処理部は、複数の出力データ列を順次処理すること、出力データ列を処理する順序を変更すること、或る 1 周期内において或る出力データ列のデータ処理をスキップすることや複数回行うことも可能である。

また、デジタルフィルタとデータ処理部との間のタイミングを厳格に合わせる必要がなくなり、デジタルフィルタ装置の設計（タイミング設計、回路設計等）が容易になると共に、データ処理部の出力データ列（チャンネル）数の増減が容易になる。

【0037】

また、本発明は、該入力データ列が記憶された該入力データメモリのアドレスと、該出力データ列が記憶された出力データメモリのアドレスとを対応付けたスイッチテーブルと、該スイッチテーブルに基づき該入力データ列を該入力データメモリから読み出し該デジタルフィルタを経由して該出力データ列として出力データメモリに書き込むタイミングを与えるスイッチング制御部と、をさらに備えたことができる（請求項 3、付記 3）。

【0038】

すなわち、スイッチテーブルは、入力データ列が記憶された入力データメモリのアドレスと出力データ列が記憶された出力データメモリのアドレスとを対応付けている。

スイッチング制御部は、このスイッチテーブルに基づき入力データ列を入力データメモリから読み出しデジタルフィルタを経由して出力データ列として出力データメモリに与えるスイッチング（タイミング）制御を行う。

【0039】

これにより、入力データ列をフィルタリングする順序をスイッチテーブルに基づき指定・変更することが可能になる。

また、入力データ列に対応する所定のデータ処理部に出力データ列をスイッチングすることが可能になる。

【0040】

また、本発明は、該デジタルフィルタに含まれる遅延回路における、第1の入力データ列のフィルタリングから次の第2の入力データ列のフィルタリングに移る前の該第1の入力データ列フィルタリングの計算途中データを記憶し、該第1の入力データ列の次のフィルタリング開始時に該計算途中データを該遅延回路に戻すフィルタメモリをさらに備えたことができる（請求項4、付記4）。

【0041】

デジタルフィルタは、遅延回路を含んでいる。フィルタメモリは、第1の入力データ列のフィルタリングから次の第2の入力データ列の処理に移る前の該第1の入力データ列フィルタリング中の遅延回路における計算途中データを記憶する。

【0042】

そして、フィルタメモリは、第1の入力データ列の次のフィルタリング開始時に記憶した計算途中データを遅延回路に戻す。

これにより、例えば、デジタルフィルタが、第1の入力データ列のフィルタリング状態から、第2の入力データ列のフィルタリング状態に移って、第1の入力データ列のフィルタリング停止状態になった後、第1の入力データ列の次のフィルタリング状態に戻ったとき、フィルタメモリに記憶されていた遅延回路のデータを遅延回路に戻すことにより、フィルタリングした出力データ列の連続性を保つことが可能になる。

【0043】

また、本発明は、該デジタルフィルタの各入力データ列に対応したフィルタ係数を記憶する1つ又は複数の係数メモリを、さらに備え、フィルタリングする入力データ列に対応したフィルタ係数を該デジタルフィルタに設定することができる（請求項5、付記5）。

【0044】

すなわち、係数メモリは、入力データ列（チャンネル）に対応したフィルタ係数（1つ又は複数）を記憶している。デジタルフィルタに設定されるフィルタ係数は、入力データ列が変わる毎にフィルタリングする入力データ列に対応したフィルタ係数に変更する。

【0045】

これにより、各入力データ列に対応したフィルタリングが可能になる。

上記の課題を解決するため、本発明のデジタルフィルタ装置は、複数の入力データ列を記憶する入力データメモリと、該入力データメモリから入力した該入力データ列をフィルタリングした出力データ列を生成するデジタルフィルタと、該出力データ列を記憶する出力データメモリとを備えることを特徴としている（付記6）。

【0046】

すなわち、入力データメモリは、複数の入力データ列を記憶している。

デジタルフィルタは、入力データ列を所定の順序でフィルタリングした出力データ列を生成する。この出力データ列を出力データメモリは記憶する。

これにより、入力データ列が入力データメモリに書き込まれるタイミングと、デジタルフィルタが入力データ列をフィルタリングする動作タイミングとを、異ならせることが可能になる。

【0047】

また、出力データ列がデジタルフィルタから出力データメモリに書き込まれるタイミングと、出力データ列が出力データメモリから読み出されるタイミングとを、異ならせることが可能になる。

従って、デジタルフィルタのフィルタリングタイミングと入力データメモリへの書き込みタイミング及び出力データメモリからの読み出しタイミングとを厳

格に合わせる必要がなくなり、デジタルフィルタ装置の設計（タイミング設計、回路設計等）が容易になると共に、データ処理部の出力データ列（チャンネル）数の増減が容易になる。

【0048】

また、本発明は、各入力データ列が記憶された該入力データメモリのアドレスと、各出力データ列が記憶された出力データメモリのアドレスとを対応付けたスイッチテーブルと、該スイッチテーブルに基づき該入力データ列を該入力データメモリから読み出し該デジタルフィルタを経由して該出力データ列として出力データメモリに書き込むタイミングを与えるスイッチング制御部と、さらに備えたことが可能である（付記7）。

【0049】

すなわち、スイッチテーブルは、各入力データ列が記憶された入力データメモリのアドレスと、各出力データ列が記憶された出力データメモリのアドレスとを対応付けている。

スイッチング制御部は、スイッチテーブルに基づき、入力データメモリから入力データ列を読み出しデジタルフィルタに与えると共に、出力データ列を記憶するアドレスを出力データメモリに与える。

【0050】

これにより、デジタルフィルタ装置は、入力データ列をフィルタリングする順序をスイッチテーブルに基づき指定・変更することが可能になる。

また、スイッチテーブルに基づき入力データ列をフィルタリングした出力データ列を出力データメモリの所定のアドレスに記憶すること、すなわちスイッチングすることが可能になる。

【0051】

【発明の実施の形態】

実施例(1)

図1は、本発明に係るデジタルフィルタ装置100aの実施例(1)を示している。この実施例(1)では、図11で示した従来のデジタルフィルタと同様に、本発明のデジタルフィルタ装置100aをMEMS光スイッチ制御回路に適用した場合を示

している。なお、本発明はMEMS光スイッチ制御回路に何ら限定されるものではない。

【 0 0 5 2 】

図 1 のMEMS光スイッチ制御回路と図11に示した制御回路の基本的な構成は、同じであるが、図11のデジタルフィルタ80zの代わりに本発明に係るデジタルフィルタ装置100aを用いていることが異なっている。

デジタルフィルタ装置100aは、入力データ列を生成する演算処理部10_1～10_64（以下、符号10で総称することがある。）と、生成された入力データ列703(703_1～703_64)を記憶する入力データメモリ20と、記憶された入力データ列703を入力信号705としてフィルタリングするデジタルフィルタ30と、フィルタリングされた出力信号706を出力データ列として記憶する出力データメモリ40で構成されている。

【 0 0 5 3 】

デジタルフィルタ30は、入力データメモリ加算器31_1～31_4、乗算器33_1～33_5、及び1チャンネル分の遅延メモリ32_1, 32_2で構成された通常のIIR型デジタルフィルタであり、図 5 のデジタルフィルタ30として後述するが、図11で示した複数チャンネル分の遅延回路88_1～88_256, 89_1～89_256を備えているデジタルフィルタ80zとは異なっている。

【 0 0 5 4 】

なお、本発明においては、デジタルフィルタは、何らIIR型デジタルフィルタに限定されるものではない。

動作において、演算処理部10は、各ミラー131, 151を制御する入力データ列703を生成して、入力データメモリ20に与える。入力データメモリ20は、入力データ列703を所定のアドレスに順次記憶すると共に、記憶した入力データ列703を所定の順序で入力信号705としてデジタルフィルタ30に与える。

【 0 0 5 5 】

デジタルフィルタ30は、入力データ列703をフィルタリングした出力データ列を出力信号706として生成する。

この出力データ列を出力データメモリ40は、所定のアドレスに記憶すると共に

、記憶した出力データ列を所定のタイミングでDA変換器50_1～50_64に与える。

【0056】

以後のドライバ110、111及びミラー131、151の動作、並びに光レベル検出器170及びAD変換器180を経由するフィードバック制御動作は、図11に示した従来例(3)の動作と同様である。

このように、本発明のデジタルフィルタ装置100aによれば、演算処理部10とデジタルフィルタ30との間に入力データメモリ20を配置したことにより、演算処理部10が入力データ列を生成するタイミングと、デジタルフィルタ30が入力データ列をフィルタリングするタイミングとを、異ならせることが可能になる。

【0057】

また、デジタルフィルタ30における入力データ列のフィルタリング順序を容易に変更することが可能になる。

また、デジタルフィルタ30が入力データ列をフィルタリングするタイミングと、DA変換器（データ処理部）50が出力データ列707を処理するタイミングとを、異なるタイミングにすることが可能になる。

【0058】

実施例(2)

図2は本発明のデジタルフィルタ装置100bを適用した実施例(2)を示している。この実施例(2)が、図1の実施例(1)と異なる点は、スイッチング制御部60及びスイッチテーブル61を備えていることである。

【0059】

なお、図2では、図1で示されているミラー131、151、及び光レベル検出器170は、簡略化のため図示されていない。

図3は、スイッチング制御部60によるスイッチング処理例を示しており、特に、図2に示した演算処理部10、入力データメモリ20、デジタルフィルタ30、出力データメモリ40、及びスイッチテーブル61におけるアドレスとデータの送受信関係を示している。

【0060】

スイッチテーブル61には、演算処理部10で演算した入力データ列（演算結果）

703に対応するミラー番号（131_1, 151_64, …等）が、ミラー番号に対応する出力データメモリ40への書込アドレス712として設定されている。

図4(1)～(3)は、図3におけるスイッチング動作タイミングを示している。

【0 0 6 1】

図3及び図4(1)～(3)を参照して実施例(2)におけるデジタルフィルタ装置100bの動作を以下に説明する。

演算処理部10は、ミラーを制御するための入力データ列703を演算して、入力データメモリ20に与える。入力データメモリ20は、入力データ列703をアドレス0, 1, 2, 3, …に順次記憶する。

【0 0 6 2】

スイッチング制御部60は、入力データメモリ20及びスイッチテーブル61にそれぞれ処理サイクルアドレス（読出アドレス）710＝“0”及びスイッチテーブル読出アドレス711＝“0”を与える（図4(1)、(2)参照）。

なお、この実施例(2)では、読出アドレス710と読出アドレス711とが同一のアドレスになるように入力データメモリ20及びスイッチテーブル61に、各データを記憶するアドレスを設定しておくが、別々のアドレスで構わない。

【0 0 6 3】

入力データメモリ20のアドレス“0”から読み出された入力信号（演算結果）705は、デジタルフィルタ30においてフィルタリングされ、出力データ列706として出力される。

この出力データ列706は、スイッチテーブル61から読み出されたミラー131_1に対応する出力データメモリ40の書込アドレス712に書き込まれる（図4(3)参照）。同様に、入力データメモリ20のアドレス“1”，“2”，“3”，…に記憶された入力データ列（演算結果）は、順次デジタルフィルタ30でフィルタリングされ、ミラー151_64, 131_2, 151_8に対応する出力データメモリ40のアドレスに書き込まれる。

【0 0 6 4】

従って、各入力データ列（演算結果）のフィルタリング結果（＝出力データ列）を記憶する出力データメモリ40のアドレスは、スイッチテーブル61を変更する

ことで可能になる。また、入力データ列を選択する順序もスイッチテーブル61を変更することで可能になる。

【0 0 6 5】

すなわち、フィルタリングとスイッチング動作を同時に行うことが可能になる。

実施例(3)

図5は、本発明のデジタルフィルタ装置100cの実施例(3)を示している。

【0 0 6 6】

この実施例(3)が、図2に示した実施例(2)と異なる点は、デジタルフィルタ装置100cには、デジタルフィルタ30内の遅延メモリ32_1, 32_2に記憶される計算途中データを入力データ列毎に記憶するフィルタメモリ62_1~62_64（以下、符号62で総称することがある。）をさらに備え、スイッチング制御部60及びスイッチテーブル61の代わりにスイッチング制御部60a及びスイッチテーブル61aを備えていることである。なお、同図に示した各フィルタメモリ62は、4つの入力データ列を記憶する。

【0 0 6 7】

スイッチング制御部60aの基本的な動作はスイッチング制御部60の動作と同様である。

スイッチテーブル61aは、出力データ列706を記憶する出力データメモリのアドレスの他に、計算途中データを記憶する書込アドレス713も設定されていることが、図3に示したスイッチテーブル61と異なっている。

【0 0 6 8】

図4(4)~(6)は、実施例(3)におけるフィルタメモリ62の書込及び読出タイミング例を示している。フィルタリング中における動作を図4(4)~(6)、及び図5を参照して以下に説明する。

スイッチテーブル61aは、フィルタリング中の入力データ列（例えば、ミラー131_1に対応するデータ列）705のデジタルフィルタ30における遅延メモリ（遅延回路）32_1, 32_2の計算途中のデータを、次の入力データ列705のフィルタリングに移る前に記憶する（図4(4)、(5)及び図5の書込データ（計算途中データ

）715_1, 715_2参照）。この時の書込アドレス713は、スイッチテーブル61に設定されている。

【0069】

そして、スイッチテーブル61は、例えば、ミラー131_1に対応する次の入力データ列のフィルタリングを開始するとき、ミラー131_1に対応する前のフィルタリング時における遅延メモリ32_1, 32_2の計算途中のデータを、フィルタメモリ62_1から遅延メモリ32_1, 32_2に戻す（図4(4)、(6)及び図5の信号716_1, 716_2参照）。このときの読出アドレス714は、スイッチテーブル61に設定された書込アドレス713と同じである。

【0070】

これにより、例えば、ミラー131_1のフィルタリング状態が「フィルタリング中」から「停止」に移り、別のミラー151_64等の「フィルタリング中」の状態に順次遷移した後、ミラー131_1のフィルタリングを「開始」する状態に戻ったとき、前のミラー131_1の計算途中データを遅延メモリ32_1, 32_2に戻すことにより、ミラー131_1にフィルタリングの連続性を保つことが可能になる。

【0071】

実施例(4)

図6は、本発明のデジタルフィルタ装置100dの実施例(4)を示している。

この実施例(4)が図5に示した実施例(3)と異なる点は、入力データ列705毎に対応したデジタルフィルタの係数を記憶する係数メモリ63_1～63_64（以下、符号63で総称することがある。）をさらに備え、スイッチング制御部60a及びスイッチテーブル61aに代わりにスイッチング制御部60b及びスイッチテーブル61bを備えていることである。

【0072】

スイッチング制御部60bの基本的な動作は、スイッチング制御部60aの動作と同様である。スイッチテーブル61bは、各入力データ列705に対応する出力データメモリ40、フィルタメモリ62のアドレスの他に各入力データ列705に対応するフィルタ係数を記憶するアドレスが設定されていることが、スイッチテーブル61aと異なっている。

【 0 0 7 3 】

動作において、スイッチテーブル61bは、例えば、ミラー131_1に対応する入力データ列705のフィルタリングを開始する前に、フィルタ係数読出アドレス717を係数メモリ63に与え、ミラー131_1のフィルタリングに対応するフィルタ係数（-A1, -A2, B0, B1, B2）718_1～718_5をそれぞれ乗算器33_1～33_5に設定する。

【 0 0 7 4 】

これにより、ミラー131, 151毎に異なる動作特性に対応したミラー制御を行うことが可能になる。

（付記 1）

複数の入力データ列を生成する 1 つ又は複数の演算処理部と、
該複数の入力データ列を記憶する入力データメモリと、
該入力データメモリから該入力データ列を所定の順序で読み出しフィルタリングして出力データ列を生成するデジタルフィルタと、
を備えたことを特徴としたデジタルフィルタ装置。

【 0 0 7 5 】

（付記 2）上記の付記 1 において、
該デジタルフィルタが生成した該出力データ列を記憶する出力データメモリと、
該出力データメモリに記憶された該出力データ列を所定の順序で読み出して処理するデータ処理部をさらに備えたことを特徴とするデジタルフィルタ装置。

【 0 0 7 6 】

（付記 3）上記の付記 2 において、
該入力データ列が記憶された該入力データメモリのアドレスと、該出力データ列が記憶された出力データメモリのアドレスとを対応付けたスイッチテーブルと、
該スイッチテーブルに基づき該入力データ列を該入力データメモリから読み出し該デジタルフィルタを経由して該出力データ列として出力データメモリに書き込むタイミングを与えるスイッチング制御部と、
をさらに備えたことを特徴とするデジタルフィルタ装置。

【 0 0 7 7 】

(付記 4) 上記の付記 1 において、

該デジタルフィルタに含まれる遅延回路における、第 1 の入力データ列のフィルタリングから次の第 2 の入力データ列のフィルタリングに移る前の該第 1 の入力データ列フィルタリングの計算途中データを記憶し、該第 1 の入力データ列の次のフィルタリング開始時に該計算途中データを該遅延回路に戻すフィルタメモリをさらに備えたことを特徴とするデジタルフィルタ装置。

【 0 0 7 8 】

(付記 5) 上記の付記 1 において、

該デジタルフィルタの各入力データ列に対応したフィルタ係数を記憶する 1 つ又は複数の係数メモリを、さらに備え、

フィルタリングする入力データ列に対応したフィルタ係数が該デジタルフィルタに設定されることを特徴としたデジタルフィルタ装置。

【 0 0 7 9 】

(付記 6)

複数の入力データ列を記憶する入力データメモリと、

該入力データメモリから入力した該入力データ列をフィルタリングした出力データ列を生成するデジタルフィルタと、

該出力データ列を記憶する出力データメモリと、

を備えたことを特徴とするデジタルフィルタ装置。

【 0 0 8 0 】

(付記 7) 上記の付記 6 において、

各入力データ列が記憶された該入力データメモリのアドレスと、各出力データ列が記憶された出力データメモリのアドレスとを対応付けたスイッチテーブルと、

該スイッチテーブルに基づき該入力データ列を該入力データメモリから読み出し該デジタルフィルタを経由して該出力データ列として出力データメモリに書き込むタイミングを与えるスイッチング制御部と、

さらに備えたことを特徴とするデジタルフィルタ装置。

【0081】**【発明の効果】**

以上説明したように、本発明に係るデジタルフィルタ装置によれば、演算処理部が生成した複数の入力データ列を入力データメモリが記憶し、この入力データ列を、デジタルフィルタが所定の順序で読み出しフィルタリングして出力データ列を生成するようにしたので、演算処理部が入力データ列を生成する動作タイミングと、デジタルフィルタが入力データ列をフィルタリングする動作タイミングとを、異なるタイミングにすることが可能になり、デジタルフィルタ装置の設計（タイミング設計、回路設計等）が容易になると共に、演算処理部の追加及び入力データ列（チャンネル）数の増減が容易になる。

【0082】

また、出力データメモリが出力データ列を記憶し、データ処理部が出力データ列を所定の順序で読み出して処理するように構成したので、デジタルフィルタ装置の設計が容易になると共に、データ処理部の出力データ列（チャンネル）数の増減が容易になる。

【0083】

また、入力データ列が記憶された入力データメモリのアドレスと、出力データ列が記憶された出力データメモリのアドレスとを対応付けたスイッチテーブル備え、このスイッチテーブルに基づきスイッチング制御部が、該入力データ列を該入力データメモリから読み出し該デジタルフィルタを経由して該出力データ列として出力データメモリに書き込むタイミングを与えるようにしたので、入力データ列をフィルタリングする順序をスイッチテーブルに基づき指定することが可能になると共に、入力データ列に対応する所定のデータ処理部に出力データ列をスイッチングすることが可能になる。

【0084】

また、フィルタメモリが、デジタルフィルタに含まれる遅延回路における計算途中データを記憶するように構成したので、連続したフィルタリングを行うことが可能になる。

また、係数メモリが、デジタルフィルタの各入力データ列に対応したフィル

タ係数を記憶するように構成したので、各入力データ列に対応したフィルタリングが可能になる。

【0085】

すなわち、本発明のデジタルフィルタ装置を用いることにより、サンプリング周期を利用したフィルタリング及びスイッチングを行い、また、フィルタリングの計算途中のデータ及びフィルタ係数を記憶することで、フィルタ回路の共通化が可能になる。

【0086】

また、チャネル数の追加・変更時の設計工数の削減や、回路規模、コスト、及び消費電力の削減が可能になる。

さらに、本発明のデジタルフィルタ装置は、MEMS光スイッチ等の大規模なフィルタリング回路や、フィルタリングデータの周期性や時分割されたチャネルの順序が入れ替わるシステム、例えばIPネットワーク、モバイルネットワークにおいても柔軟に対応することが可能である。

【図面の簡単な説明】

【図1】

本発明に係るデジタルフィルタ装置の実施例(1)を示したブロック図である。

【図2】

本発明に係るデジタルフィルタ装置の実施例(2)を示したブロック図である。

【図3】

本発明に係るデジタルフィルタ装置におけるスイッチング動作例を示したブロック図である。

【図4】

本発明に係るデジタルフィルタ装置の実施例(2)、(3)における動作タイミング例を示したタイムチャート図である。

【図5】

本発明に係るデジタルフィルタ装置の実施例(3)を示したブロック図である。

。

【図 6】

本発明に係るデジタルフィルタ装置の実施例(4)を示したブロック図である

。

【図 7】

従来のデジタルフィルタの構成例(1)を示したブロック図である。

【図 8】

従来のデジタルフィルタの構成例(2)を示したブロック図である。

【図 9】

一般的な64ch×64chMEMS光スイッチの構成例を示した図である。

【図 10】

一般的なMEMS光スイッチにおけるミラー制御電極の配置を示した図である。

【図 11】

従来のデジタルフィルタを用いたMEMS光スイッチ制御回路を示したブロック図である。

【符号の説明】

100a～100d デジタルフィルタ装置

110, 110_1～110_64, 110_1_1, 110_1_2 ドライバ

111, 111_1～111_64, 111_8_1, 110_8_2 ドライバ

130 入力側ミラーアレイ 131, 131_1～131_64 ミラー

140 入力側コリメータアレイ 141_1～141_64 コリメータ

150 出力側ミラーアレイ 151, 151_1～151_64 ミラー

160 出力側コリメータアレイ 161_1～161_64 コリメータ

170, 170_1～170_64 光レベル検出器 180, 180_1～180_64 AD変換器

10, 10_1～10_64, 10z, 10z_1～10z_64 演算処理部

20, 20_1～20_64 入力データメモリ 30 デジタルフィルタ

31, 31_1～31_4 加算器 32_1, 32_2 遅延メモリ

33_1～33_5 乗算器

40, 40_1～40_64 出力データメモリ

50, 50_1~50_64 DA変換器、データ処理部
60, 60a, 60b スイッチング制御部 61, 61a, 61b スイッチテーブル
62, 62_1~62_64 フィルタメモリ 63, 63_1~63_64 係数メモリ
80, 80z デジタルフィルタ
81, 81_1, 81_2, 81z, 81z_1~81z_64 ラッチ回路
82 ワイヤードOR回路 83_1~83_4 遅延回路
84_1, 84_2 演算器
85_1, 85_2, 85z, 85z_1~85z_64 ラッチ回路
86 ワイヤードOR回路 87z セレクタ
88_1~88_256, 89_1~89_256 遅延回路
90 デジタルフィルタ、信号処理回路
91 信号時分割多重部 92 多重化フィルタ部
93 信号検出部 94 タイミング発生部
700a~700e, 700_1~700_64 光信号
701 光レベル信号
702, 702_1~702_64 デジタル信号
703, 703_1~703_64 入力データ列
705 デジタルフィルタ入力信号、入力データ列
706 デジタルフィルタ出力信号、出力データ列
707 出力データ列 708 アナログ出力信号
710 処理サイクルアドレス、入力データメモリ読出アドレス
711 スイッチテーブル読出アドレス
712 出力データメモリ書込アドレス 713 書込アドレス
714 読出アドレス
715_1~715_4 書込データ、計算途中データ
716_1~716_4 読出データ、計算途中データ
717 フィルタ係数読出アドレス 718_1~718_5 フィルタ係数
800_1~800_64 入力信号（ミラー制御データ）
801, 801z デジタルフィルタ入力信号

802, 802z デジタルフィルタ出力信号、演算結果

803 入力信号

804 クロック

805 再入力信号

806 タイミングパルス

807, 808 出力信号

$x1(-) \sim x3(-)$, $x1(+) \sim x3(+)$, $y1(-) \sim y3(-)$, $y1(+) \sim y3(+)$ 電極

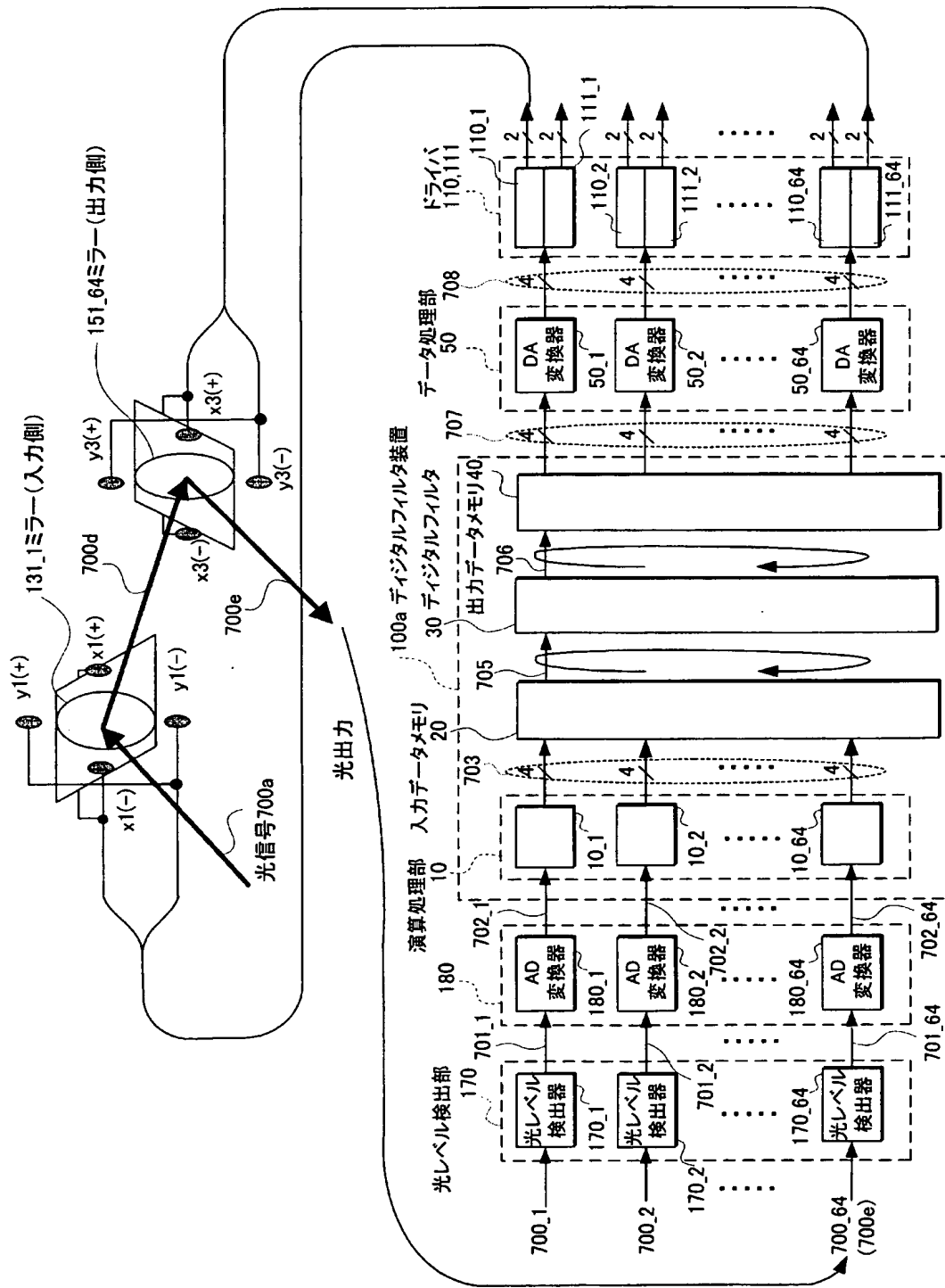
図中、同一符号は同一又は相当部分を示す。

【書類名】

凶面

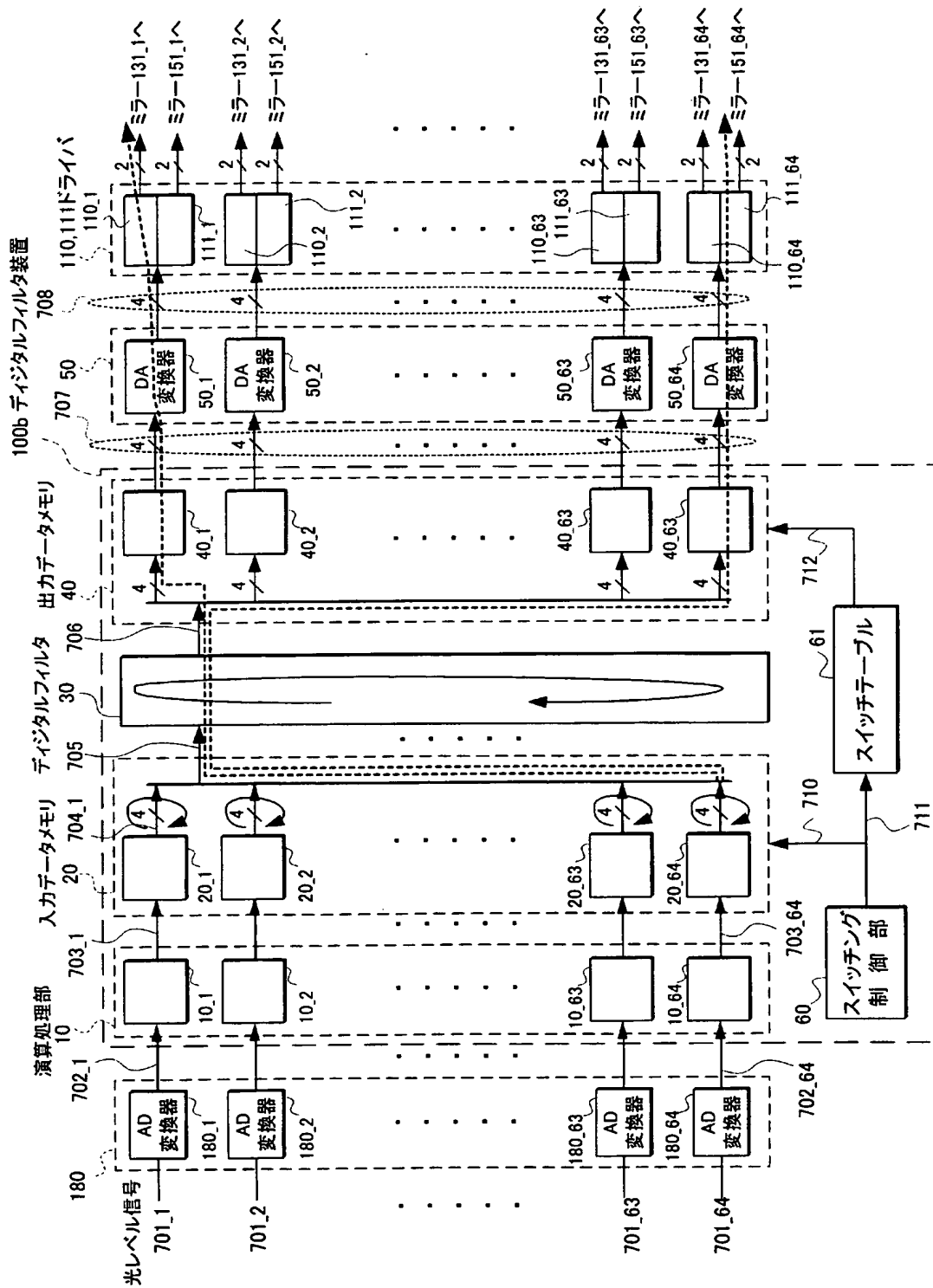
【図 1】

本発明の実施例(1)



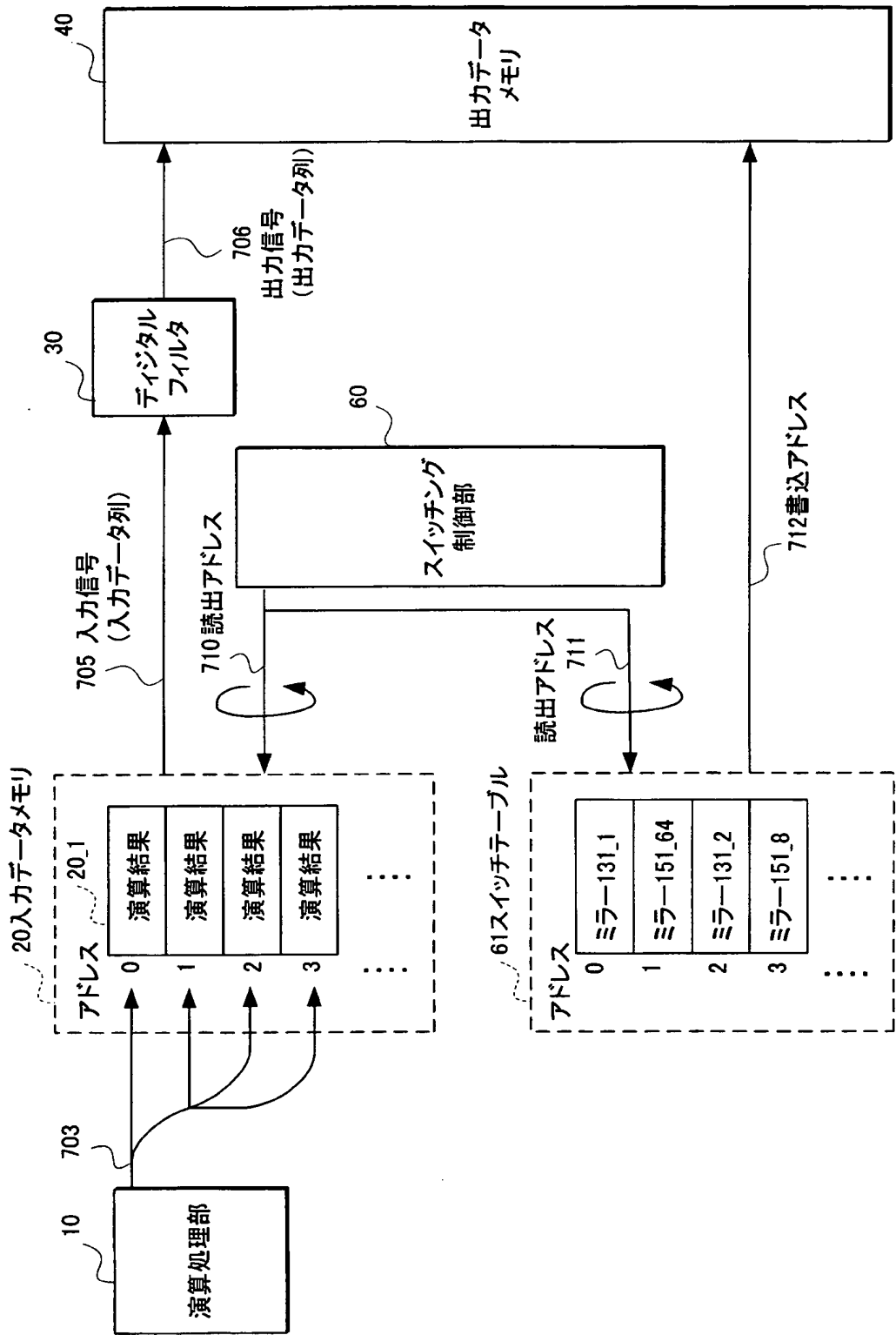
【図 2】

本発明の実施例(2)



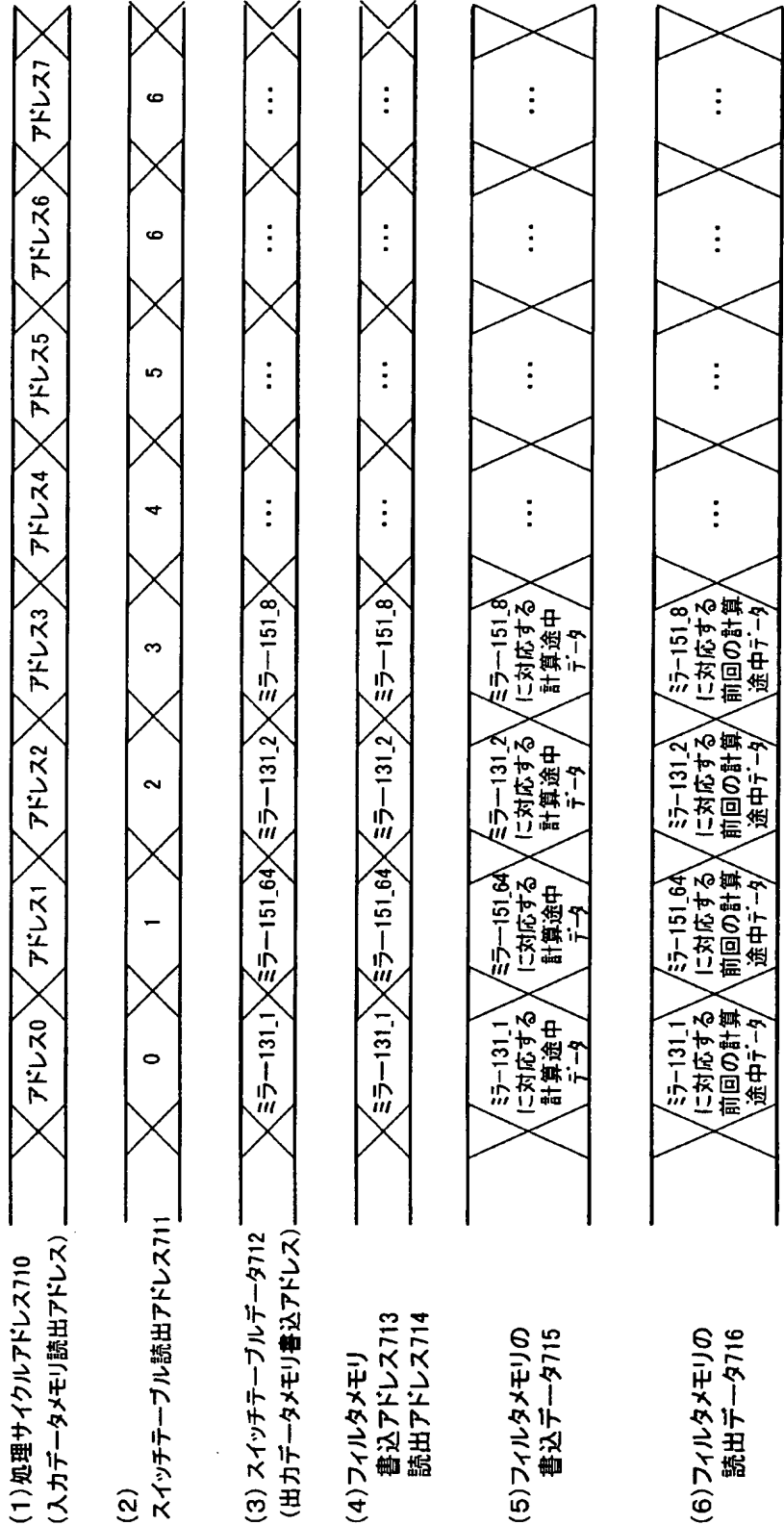
【図 3】

スイッチング動作例



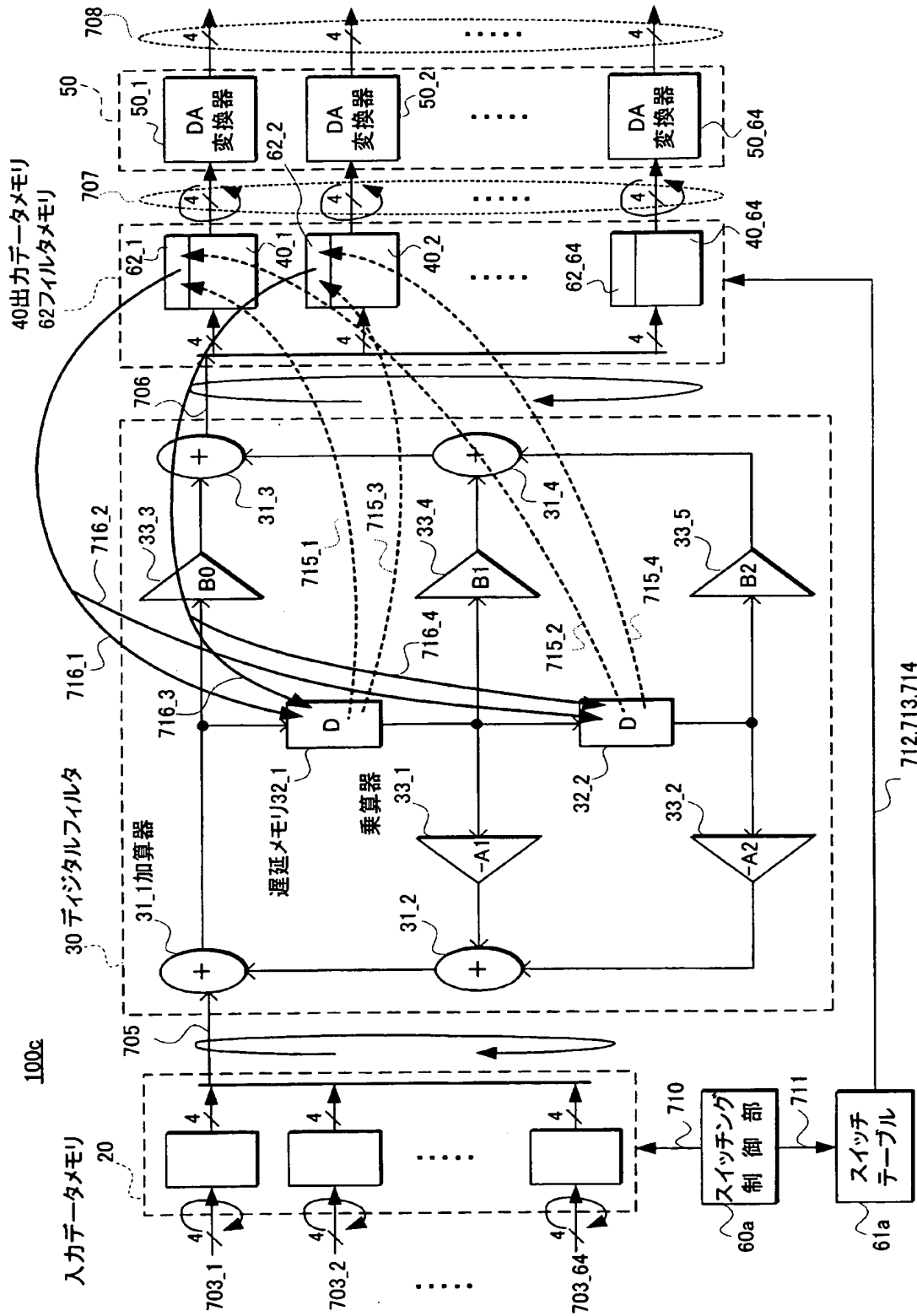
【図 4】

実施例(2)、(3)における動作タイミング図例



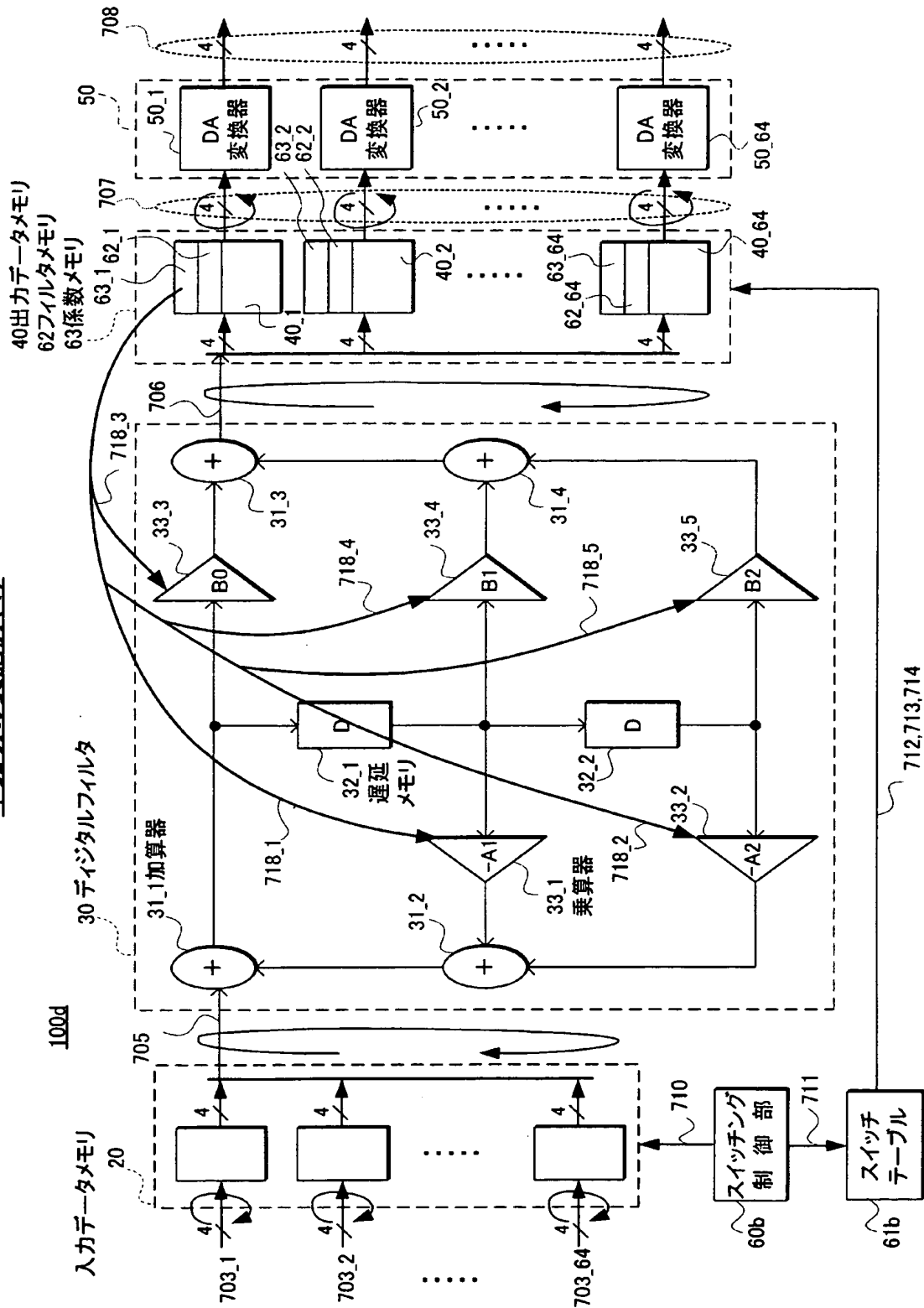
【図 5】

本発明の実施例(3)



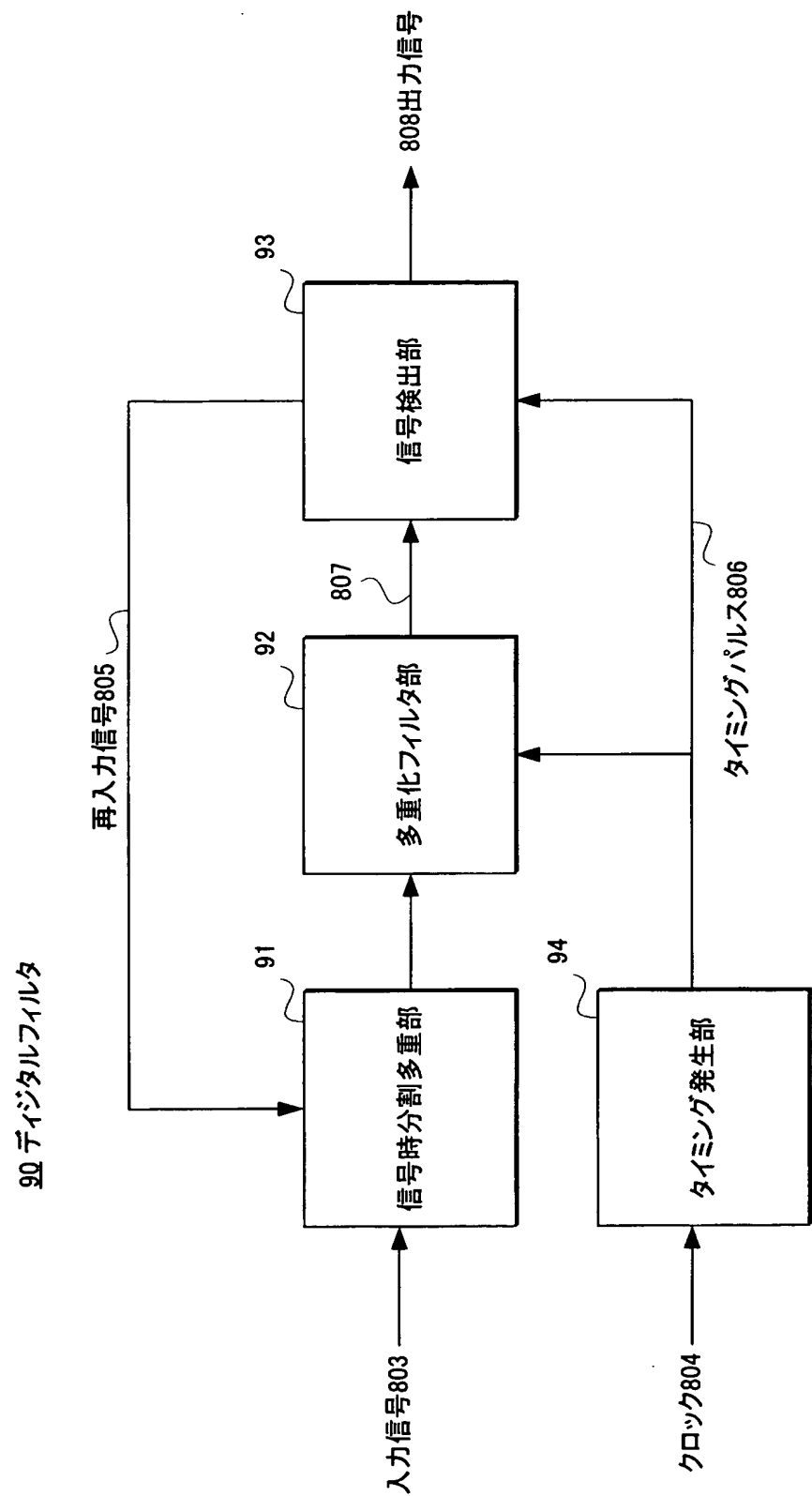
【図6】

本発明の実施例(4)

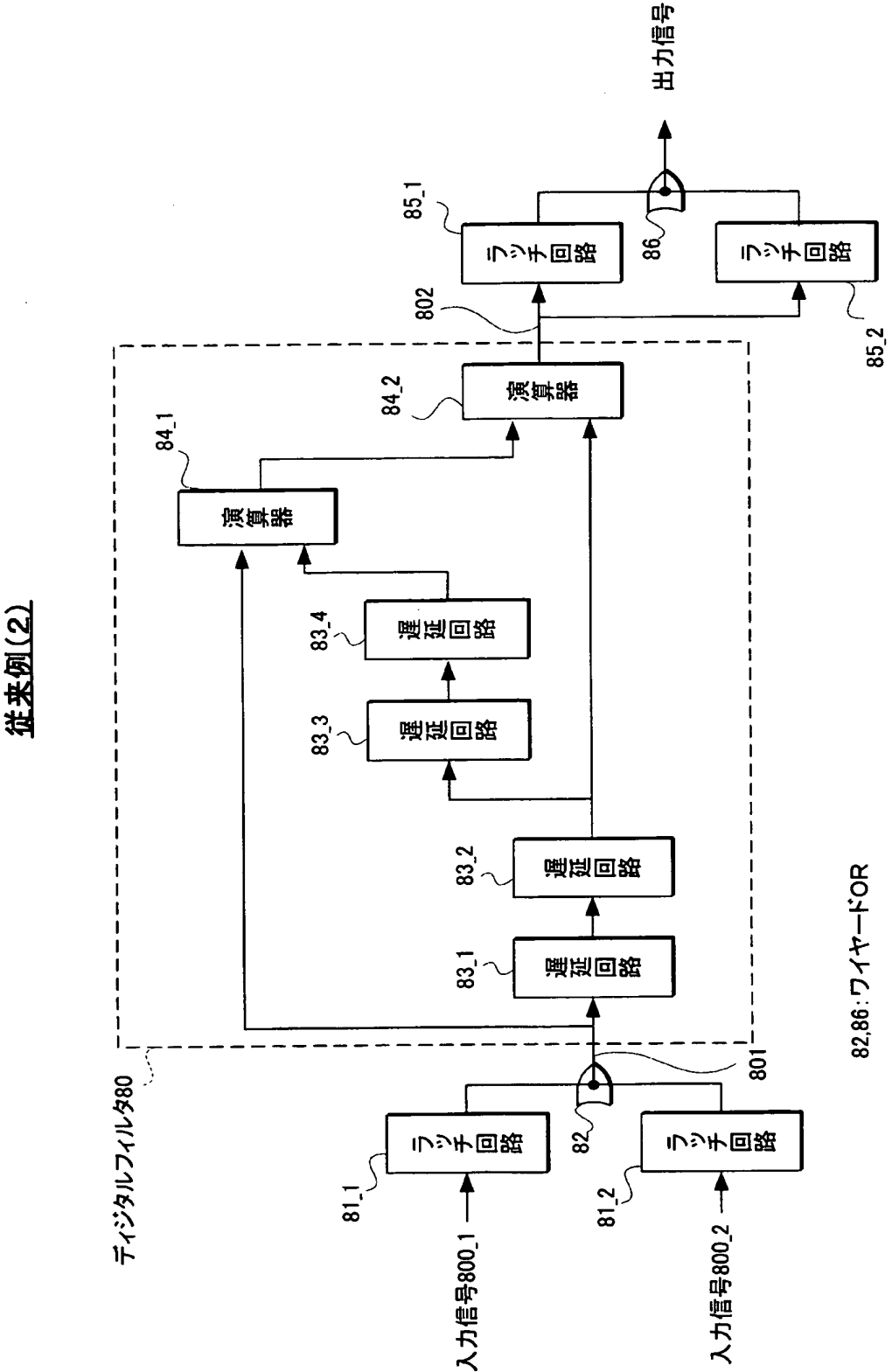


【図 7】

従来例(1)

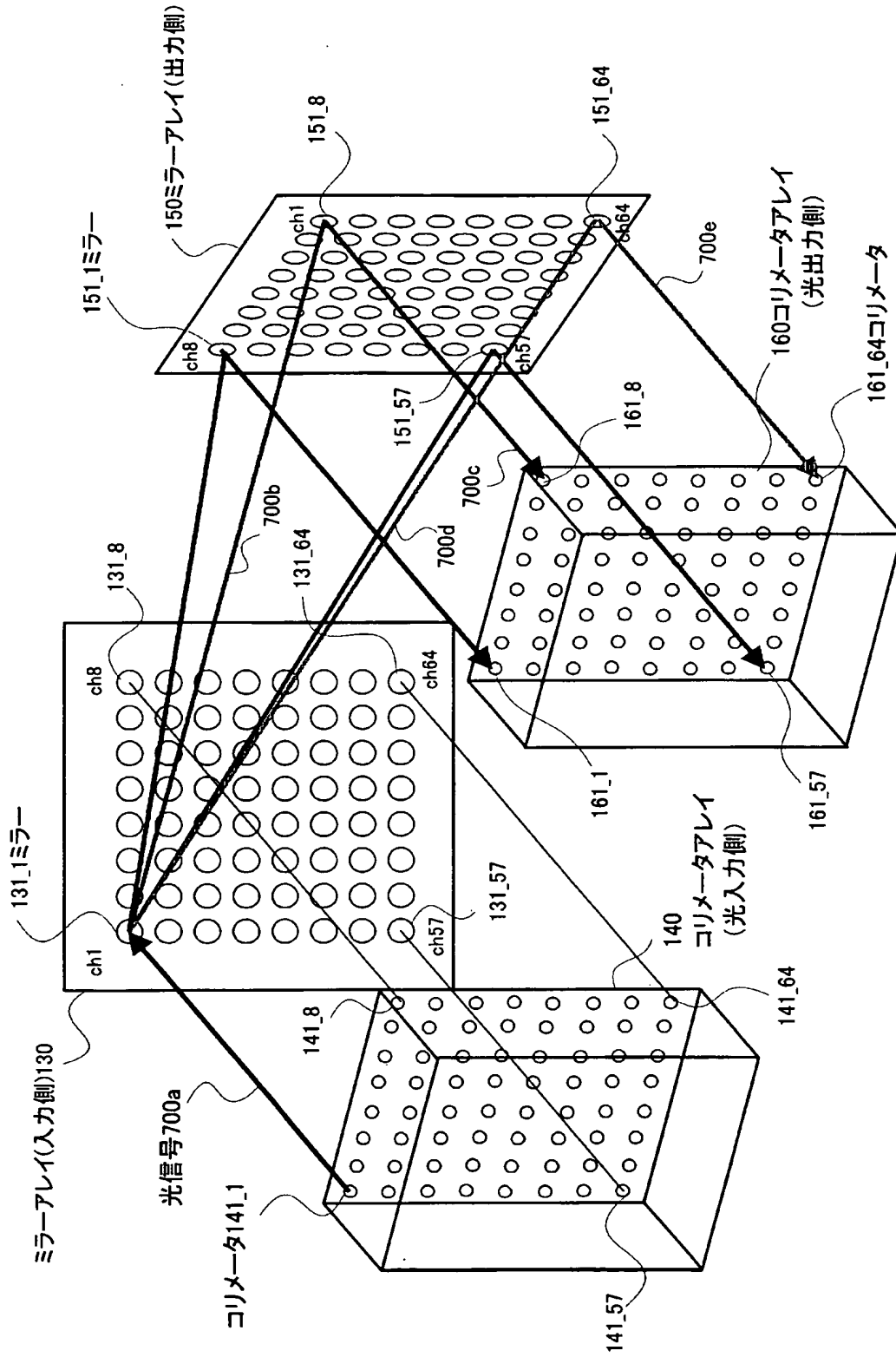


【図 8】



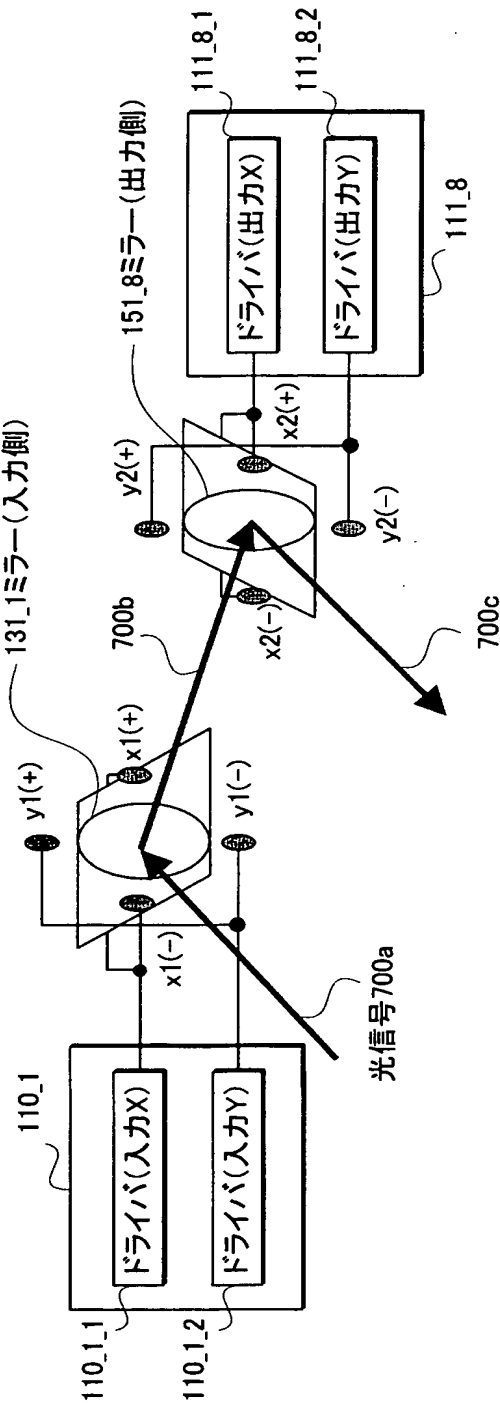
【図9】

一般的な64ch×64chのMEMS光スイッチ



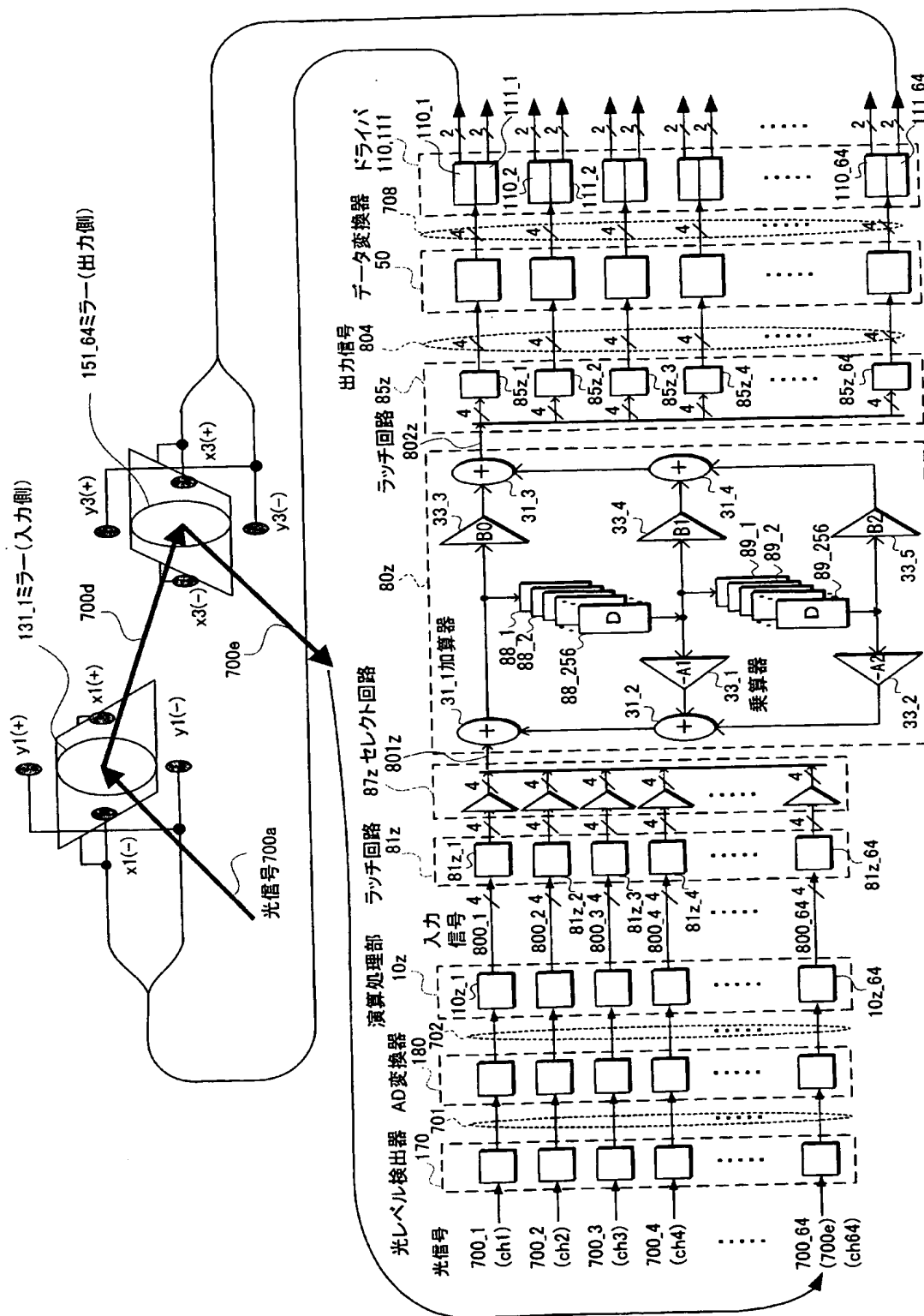
【図 10】

一般的なミラー制御重極配置



【図 11】

従来例(3)



【書類名】 要約書

【要約】

【課題】 複数の信号のフィルタリングを 1 つのデジタルフィルタで行うデジタルフィルタ装置に関し、フィルタリングを行うチャネル（データ列）数の変更が設計上容易であること、複数のチャネルのフィルタリング順序が変更可能であること、フィルタリングの連続性を保つこと、又は各チャネルに対応したフィルタリング特性を変更可能にする。

【解決手段】 演算処理部が生成した複数の入力データ列を入力データメモリが記憶し、この入力データ列を、デジタルフィルタが所定の順序で読み出しフィルタリングして出力データ列を生成し、この出力データ列を出力データメモリが記憶し、データ処理部が出力データ列を所定の順序で読み出して処理する。また、入力データ列が記憶された入力データメモリのアドレスと、出力データ列が記憶された出力データメモリのアドレスとを対応付けたスイッチテーブル備え、このスイッチテーブルに基づきスイッチング制御部が、該入力データ列を該入力データメモリから読み出し該デジタルフィルタを経由して該出力データ列として出力データメモリに書き込むタイミングを与える。さらに、フィルタメモリ及び係数メモリが、それぞれデジタルフィルタに含まれる遅延回路における計算途中データ及びフィルタ係数を記憶する。

【選択図】 図 1

特願 2 0 0 2 - 2 4 1 8 6 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

- | | |
|----------|-----------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 4 日 |
| [変更理由] | 新規登録 |
| 住 所 | 神奈川県川崎市中原区上小田中 1 0 1 5 番地 |
| 氏 名 | 富士通株式会社 |
| | |
| 2. 変更年月日 | 1 9 9 6 年 3 月 2 6 日 |
| [変更理由] | 住所変更 |
| 住 所 | 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 |
| 氏 名 | 富士通株式会社 |